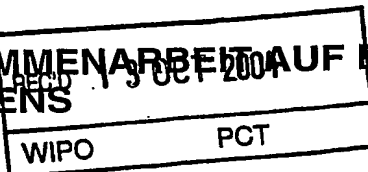


VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT (Artikel 36 und Regel 70 PCT)



Aktenzeichen des Anmelders oder Anwalts In1245WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416)	
Internationales Aktenzeichen PCT/DE 03/02678	Internationales Anmeldedatum (Tag/Monat/Jahr) 08.08.2003	Prioritätsdatum (Tag/Monat/Jahr) 23.08.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L29/792		
Anmelder INFINEON TECHNOLOGIES AG et al.		



- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 4 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

 Diese Anlagen umfassen insgesamt 6 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 02.03.2004	Datum der Fertigstellung dieses Berichts 12.10.2004
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kusztelan, L Tel. +49 89 2399-2479 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-18 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-17 eingegangen am 27.09.2004 mit Schreiben vom 22.09.2004

Zeichnungen, Blätter

1/5-5/5 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE 03/02678

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- | | |
|--------------------------------|---|
| 1. Feststellung | |
| Neuheit (N) | Ja: Ansprüche 1-17
Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 1-17
Nein: Ansprüche |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-17
Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Abschnitt V

1. Es wird auf die folgenden Dokumente verwiesen:

D1: EP-A-0 543 703 (SGS THOMSON MICROELECTRONICS) 26. Mai 1993
D2: US-A-5 654 568 (NAKAO HIRONOBU) 5. August 1997 (1997-08-05)
D3: US-B-6 335 5541 (YOSHIKAWA KUNIYOSHI) 1. Januar 2002 (2002-01-01)
D4: WO 01/17030 A (MACRONIX AMERICA INC) 8. März 2001 (2001-03-08)
D5: US-B-6 388 2931 (HAYASHI YUTAKA ET AL) 14. Mai 2002 (2002-05-14)
D6: US-B-6 366 5001 (OGURA SEIKI ET AL) 2. April 2002 (2002-04-02)
D7: US 2002/105023 A1 (KUO TUNG CHEN ET AL) 8. August 2002
D8: US-B-6 249 0221 (LEE ROBIN ET AL) 19. Juni 2001 (2001-06-19)
D9: US-A-3 731 163 (SHUSKUS A) 1. Mai 1973 (1973-05-01)

2. D1,D2 und D7 offenbaren nichtflüchtige Halbleiterbauelemente in den ein Sourcegebiet, ein Draingebiet und ein dazwischen liegendes Kanalgebiet ausgebildet sind, wobei ein Ladungsspeicherschicht über dem gesamten Kanalgebiet ausgebildet ist. Bereits die Aufteilung des Kanalgebiets in mehrere Abschnitte mit Ladungsspeicher- und Programmier-Schichten sind aus dieser Druckschriften nicht ersichtlich.

Die Aufteilung des Kanalgebietes eines solchen nichtflüchtigen Halbleiterbauelements ist aus D3-D6,D8,D9 bekannt. Auf dem Halbleiterbauelement gebildeten Verbindungsschichten, die die Programmierschichten elektrisch mit dem entsprechenden Sourcegebiet und Draingebiet verbinden, sind jedoch nicht offenbart.

Der Gegenstand der Ansprüche 1 und 6 ist daher neu. Selbst wenn der Fachmann veranlaßt wird, die Lehre dieser Dokumente zu kombinieren, wird er den beanspruchten Gegenstand nicht erreichen.

Patentansprüche

1. Nichtflüchtiges Halbleiterspeicherelement mit
einem Halbleitersubstrat (1), in dem ein Sourcegebiet (S),
5 ein Draingebiet (D) und ein dazwischen liegendes Kanalgebiet
ausgebildet sind;
einer Steuerschicht (5), die auf einem ersten Teilabschnitt
(I) des Kanalgebiets ausgebildet und von diesem durch eine
erste Isolierschicht (2A) isoliert ist;
10 einer Ladungsspeicherschicht (3A, 3B), die auf einem zweiten
Teilabschnitt (IIA, IIB) des Kanalgebiets ausgebildet und von
diesem durch eine zweite Isolierschicht (2BA, 2BB) isoliert
ist; und
einer Programmierschicht (6A, 6B), die an der Ladungsspei-
15 cherschicht (3A, 3B) ausgebildet und von dieser durch eine
dritte Isolierschicht (4A, 4B) isoliert ist,
g e k e n n z e i c h n e t d u r c h
eine Verbindungsschicht (6AA, 6BB) zum elektrischen Verbinden
der Programmierschicht (6A, 6B) mit dem Sourcegebiet (S) oder
20 Draingebiet (D), wobei
der zweite Teilabschnitt des Kanalgebiets einen sourceseitigen
Teilabschnitt (IIB) und einen drainseitigen Teilabschnitt
(IIA) aufweist;
die Ladungsspeicherschicht eine sourceseitige Ladungsspei-
25 cherschicht (3B) und eine drainseitige Ladungsspeicherschicht
(3A);
die Programmierschicht eine sourceseitige Programmierschicht
(6B) und eine drainseitige Programmierschicht (6A) aufweist;
die Verbindungsschicht eine sourceseitige Verbindungsschicht
30 (6BB) und eine drainseitige Verbindungsschicht (6AA) auf-
weist, wobei die sourceseitige Verbindungsschicht (6BB) die
sourceseitige Programmierschicht (6B) mit dem Sourcegebiet
(S) und die drainseitige Verbindungsschicht (6AA) die drain-

seitige Programmierschicht (6A) mit dem Draingebiet (D) elektrisch verbindet.

2. Nichtflüchtiges Halbleiterspeicherelement nach Patentanspruch 1,

d a d u r c h g e k e n n z e i c h n e t, dass die Ladungsspeicherschicht (3A, 3B) eine elektrisch nicht leitende Schicht darstellt.

3. Nichtflüchtiges Halbleiterspeicherelement nach einem der Patentansprüche 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, dass die erste und zweite Isolierschicht (2A, 2BA, 2BB) SiO_2 aufweist.

4. Nichtflüchtiges Halbleiterspeicherelement nach einem der Patentansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t, dass die Ladungsspeicherschicht (3A, 3B) eine Si_3N_4 -, HfO_2 oder ZrO_2 -Schicht aufweist.

5. Nichtflüchtiges Halbleiterspeicherelement nach einem der Patentansprüche 1 bis 4,

d a d u r c h g e k e n n z e i c h n e t, dass die Steuerschicht (5), die Programmierschicht (6A, 6B) und die Verbindungsschicht (6AA, 6BB) dotiertes Polysilizium aufweist.

6. Verfahren zur Herstellung eines nichtflüchtigen Halbleiterspeicherelements mit den Schritten:

a) Vorbereiten eines Halbleitersubstrats (1);

b) Ausbilden einer ersten Isolierschicht (2A) an der Oberfläche des Halbleitersubstrats (1);

c) Ausbilden und Strukturieren einer Steuerschicht (5) an der Oberfläche der ersten Isolierschicht (2A);

- d) Ausbilden einer Schichtenfolge bestehend aus einer zweiten Isolierschicht (2B), einer Ladungsspeicherschicht (3) und einer dritten Isolierschicht (4) an der Oberfläche des Halbleitersubstrats (1) und der strukturierten Steuerschicht (5);
- 5 e) Ausbilden und Strukturieren einer Programmierschicht (6A, 6B) auf der dritten Isolierschicht (4) an den Seitenwänden der strukturierten Steuerschicht (5);
- f) Ausbilden von Sourcegebieten (S) und Draingebieten (D) im Halbleitersubstrat (1) unter Verwendung der strukturierten Programmierschicht (6A, 6B) und der strukturierten Steuer-
- 10 schicht (5) als Maske;
- g) Strukturieren der dritten Isolierschicht (4), der Ladungsspeicherschicht (3) und der zweiten Isolierschicht (2B) unter Verwendung der strukturierten Programmierschicht (6A,
- 15 6B) als Maske;
- h) Ausbilden einer vierten Isolierschicht (7) an der Oberfläche des Halbleitersubstrats (1), der strukturierten Programmierschicht (6A, 6B) und der strukturierten Steuerschicht (5);
- 20 i) Freilegen von Verbindungsbereichen zumindest an Teilen der strukturierten Programmierschicht (6A, 6B), des Sourcegebiets (S) und des Draingebiets (D); und
- j) Ausbilden einer elektrisch leitenden Verbindungsschicht (6AA, 6BB) in den freigelegten Verbindungsbereichen zum Kontaktieren der Programmierschicht (6A, 6B) des Sourcegebiets
- 25 (S) und des Draingebiets (D).

7. Verfahren nach Patentanspruch 6,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt

30 b) ein Gatedielektrikum als erste Isolierschicht (2A) ausgebildet wird.

8. Verfahren nach Patentanspruch 6 oder 7,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
c) eine erste Polysilizium-Schicht als Steuerschicht (5) ab-
geschieden wird.

5 9. Verfahren nach einem der Patentansprüche 6 bis 8,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
d) eine ONO-Schichtenfolge abgeschieden wird.

10 10. Verfahren nach einem der Patentansprüche 6 bis 9,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
e) ein Spacer-Verfahren zum Abscheiden und Strukturieren ei-
ner zweiten Polysilizium-Schicht als Programmierschicht (6A,
6B) durchgeführt wird.

15 11. Verfahren nach einem der Patentansprüche 6 bis 10,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
f) eine Ionenimplantation und eine thermische Nachbehandlung
zum Ausdiffundieren und Aktivieren der Source- und Drainge-
biete (S, D) durchgeführt wird.

20

12. Verfahren nach einem der Patentansprüche 6 bis 11,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
g) ein anisotropes Trockenätzen der Schichtenfolge und ein
isotropes Rückätzen von zumindest der Ladungsspeicherschicht
25 (3) zum Ausbilden von Ladungsspeicherschicht-Aussparungen
durchgeführt wird.

13. Verfahren nach Patentanspruch 12,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
30 h) eine Oxid-Abscheidung zum Auffüllen der Ladungsspeicher-
schicht-Aussparungen durchgeführt wird.

14. Verfahren nach einem der Patentansprüche 6 bis 13,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
j) eine dritte Polysilizium-Schicht als Verbindungsschicht
(6AA, 6BB) abgeschieden und planarisiert wird.

5 15. Verfahren zum Schreiben einer Information in ein nicht-
flüchtiges Halbleiterspeicherelement nach einem der Patentan-
sprüche 1 bis 5 mit den Schritten:

- a) Anlegen einer ersten positiven Schreibspannung an die
sourceseitige Verbindungsschicht (6BB);
- 10 b) Anlegen einer gegenüber der ersten positiven Schreib-
spannung wesentlich höheren zweiten positiven Schreibspannung
an die drainseitige Verbindungsschicht (6AA); und
- c) Anlegen einer gegenüber der effektiven Schwellwertspan-
nung eines jeweiligen inneren Transistors leicht höheren
15 dritten positiven Schreibspannung an die Steuerschicht (5),
zum Erzeugen einer SSI-Bedingung.

20 16. Verfahren zum Löschen einer Information in einem nicht-
flüchtigen Halbleiterspeicherelement nach einem der Patentan-
sprüche 1 bis 5 mit den Schritten:

- a) Anlegen eines schwebenden Potentials an die sourceseitige
Verbindungsschicht (6BB);
- b) Anlegen einer hohen ersten Löschspannung an die drain-
seitige Verbindungsschicht (6AA); und
- 25 c) Anlegen einer gegenüber der effektiven Schwellwertspan-
nung eines jeweiligen inneren Transistors niedrigeren zweiten
Löschspannung an die Steuerschicht (5), zum Erzeugen einer
Lawineneffekt-Bedingung.

30 17. Verfahren zum Lesen einer Information in einem nicht-
flüchtigen Halbleiterspeicherelement nach einem der Patentan-
sprüche 1 bis 5 mit den Schritten:

6

- a) Anlegen einer ersten positiven Lesespannung an die sourceseitige Verbindungsschicht (6BB);
- b) Anlegen einer gegenüber der ersten Lesespannung ausreichend kleineren zweiten Lesespannung an die drainseitige Verbindungsschicht (6AA); und
- 5 c) Anlegen einer im Bereich der ersten Lesespannung liegenden dritten Lesespannung an die Steuerschicht (5) zum Erzeugen einer rückwärtsgerichteten Auslese-Bedingung.